

Arquitetura de Computadores

Aulas Práticas 2017/2018

8. Impacto das Caches na Performance

A performance de uma configuração CPU–Memória medida em *cycles per instruction* é dada pela fórmula:

$$\begin{aligned} \text{cycles per instruction} = \\ \text{cycles per instruction no misses} + \text{memory stall cycles per instruction} \end{aligned}$$

No caso de uma configuração CPU–Cache L1–Memória, o custo da componente *memory stall cycles per instruction*, em número de ciclos de CPU, é dado pela fórmula:

$$\begin{aligned} \text{memory stall cycles per instruction} = \\ \text{fraction load/store} \times \text{miss rate data L1} \times \text{miss penalty L1} + \\ \text{fraction IF} \times \text{miss rate instructions L1} \times \text{miss penalty L1} \end{aligned}$$

Como $\text{fraction IF} = 1$, se nos abstrairmos do facto da cache L1 estar dividida em L1–Data e L1–Instructions, podemos simplificar a fórmula para:

$$\begin{aligned} \text{memory stall cycles per instruction} \approx \\ \text{miss rate L1} \times \text{miss penalty L1} \end{aligned}$$

Ao adicionarmos um novo nível de cache, para uma configuração CPU–Cache L1–Cache L2–Memória, obtemos a fórmula:

$$\begin{aligned} \text{memory stall cycles per instruction} \approx \\ \text{miss rate L1} \times \text{miss penalty L1} + \\ (\text{global}) \text{ miss rate L2} \times \text{miss penalty L2} \end{aligned}$$

1. Assuma que numa configuração ideal (irrealista), em que as caches têm um hit-rate de 100%, se tem um *cycles per instruction* de 2 ciclos.

- Calcule o impacto (*memory stall cycles per instruction*) de uma cache L1 se *fraction load/store* = 0.36, *miss rate data L1* = 4%, *miss rate instructions L1* = 2%, e *miss penalty L1* = 100 ciclos (para instruções e dados).
- Qual o *cycles per instruction* real de uma tal configuração?

2. Considere uma configuração CPU–Cache L1–Cache L2–Memória com um *cycles per instruction* ideal de 2 ciclos.

- Qual o impacto dos acessos à memória na performance sabendo que *miss rate L1* = 2%, *miss penalty L1* = 20 ciclos, *miss rate L2* = 0.5% e *miss penalty L2* = 400 ciclos?
- Repita o exercício anterior assumindo que apenas existe a cache L1, isto é uma configuração CPU–Cache L1–Memória. Que pode concluir?

3. O que acontece a estes números quando aumentamos a frequência de relógio do processador? Para a mesma configuração, a performance aumenta ou diminui?